



BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO  
(c) 2005 JPO & JAPIO. All rts. reserv.  
04610057 \*\*Image available\*\*  
ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE  
PUB. NO.: 06-281957 [JP 6281957 A]  
PUBLISHED: October 07, 1994 (19941007)  
INVENTOR(s): KAWAMURA SHINICHI  
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP

(Japan)  
APPL. NO.: 05-070412 [JP 9370412]  
FILED: March 29, 1993 (19930329)  
INTL CLASS: [5] G02F-001/136; H01L-029/784  
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R020 (VACUUM  
TECHNIQUES)  
JOURNAL: Section: , Section No. FFFFFFFF, Vol. 94, No. 10, Pg. FFFFFFFF,  
FF, FFFF (FFFFFFFF)

#### ABSTRACT

PURPOSE: To provide the active matrix liquid crystal display device which can be manufactured by a small number of times of etching and can improve productivity.

CONSTITUTION: Inside the same layer on an insulated substrate 36, mutually orthogonally intersecting gate line 37, signal line 38, gate electrode 39, drain electrode 40, spare capacity line, spare capacity electrode 41 and source electrode 42 are formed by etching. At the intersecting part of the gate line 37 and the signal line 38, the gate line 37 is divided so as not to be in contact with the signal line 38 and covered by a gate insulating layer 43 and afterwards, connection 52, 53 and 54 of through holes are formed at both parts corresponding to the gate electrode 39 and the source electrode 42 and a part corresponding to the divided terminal part. When forming a picture element electrode, a gap between the source electrode 42 and a picture element electrode 51, a gap between the gate and source electrodes 39 and 42 and an ohmic contact layer 49 and a gap between the disconnected lines are connected through the connection parts 52, 53 and 54 by any picture element electrode material, respectively.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-281957

(43) 公開日 平成 6 年 (1994) 10 月 7 日

(51) Int. Cl. <sup>5</sup>	識別記号	F I
G02F 1/136	500	9119-2K
H01L 29/784		
	9056-4M	H01L 29/78
		311 A

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号 特願平5-70412

(22) 出願日 平成 5 年 (1993) 3 月 29 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 河村 真一

神奈川県横浜市磯子区新杉田町 8 株式会社  
東芝横浜事業所内

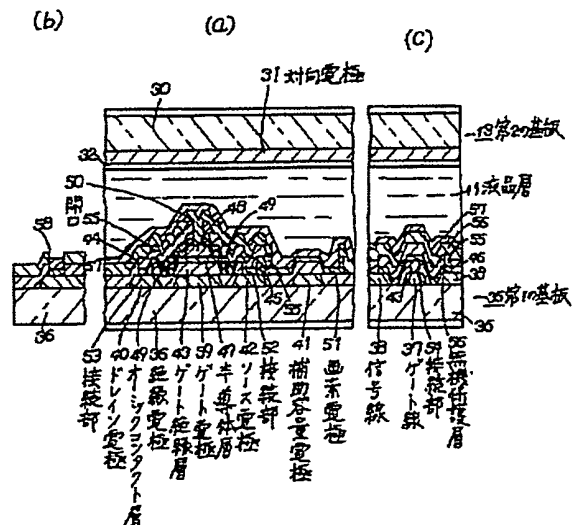
(74) 代理人 弁理士 樺澤 襄 (外 2 名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【目的】 少ないエッチング回数により製造することができ、生産性の向上が可能であるアクティブマトリクス型液晶表示装置を提供する。

【構成】 互いに直交するゲート線37、信号線38、ゲート電極39、ドレイン電極40、補助容量線、補助容量電極41およびソース電極42を、絶縁基板36上の同一層中に、エッチングにより形成する。ゲート線37および信号線38の交差部分において、ゲート線37を、信号線38と接触しないように分断し、ゲート絶縁層43で覆った後、ゲート電極39およびソース電極42に対応する部分と、分断された端部に対応する部分とに、スルーホールの接続部52、53、54を形成する。画素電極形成時に、接続部52、53、54を介して画素電極材料により、ソース電極42と画素電極51との間、ゲート電極39およびソース電極42とオーミックコンタクト層49の対応する部分との間、分断された線間を接続する。



## 【特許請求の範囲】

【請求項 1】 画素電極を有する第 1 の基板、および、この第 1 の基板に対し液晶層を介して配置され前記画素電極に対する対向電極が設けられた第 2 の基板を備え、前記第 1 の基板は、

透光性を有する絶縁基板上に堆積された金属膜をエッチングすることにより形成され、互いに交差しかつ交差部分においていずれか一方が他方と接触しないように分断されたゲート線および信号線、このゲート線と一体のゲート電極および信号線と一体のドレイン電極、前記ゲート線と平行な補助容量線およびこの補助容量線と一体の補助容量電極、前記ゲート電極の近くに位置するソース電極と、

上記各電極が形成された絶縁基板上に積層され、かつ、前記ドレイン電極およびソース電極の一部と、前記交差部分において分断された端部とが、それぞれ露出するようにエッチング除去されたゲート絶縁層と、

このゲート絶縁層上に積層され、前記ゲート電極を覆う範囲にエッチング成形された半導体層と、

この半導体層上に積層され、かつこの半導体層の上面一部を露出させる開口を有するように形成されたオーミックコンタクト層と、

このオーミックコンタクト層を含む前記ゲート絶縁層上に積層された透明電極材料をエッチングすることにより形成され、前記ソース電極近くに位置する画素電極、この画素電極とソース電極の前記露出部分とオーミックコンタクト層との接続部、ドレイン電極の前記露出部分とオーミックコンタクト層との接続部、前記交差部分の露出された中断端部間接続部と、

上記画素電極部分を除く全体を覆うように形成された無機保護層とを具備したことを特徴とするアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画素電極を有するアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】 近年の液晶表示装置は、高コントラストが要求されており、各画素の駆動制御方式として、アクティブマトリクス型が広く用いられるようになってい

る。このようなアクティブマトリクス型液晶表示装置に用いられるアクティブ素子の代表例としては、半導体活性層にアモルファスシリコンまたは多結晶シリコンを用いて形成された薄膜トランジスタがある。

【0003】そして、図 18 は、アクティブ素子として、エッチングストップ層を有し、オーミックコンタクト層をプラズマ CVD (Chemical Vapor Deposition) 法により形成した、逆スタガードタイプのシリコン系薄膜トランジスタを用いた従来のアクティブマトリクス型液晶表示装置を示している。

【0004】この図 18 において、アクティブマトリクス型液晶表示装置は、液晶層 11 を介して対向する第 1 の基板 12 と第 2 の基板 13 とで構成されており、この内、第 1 の基板 12 は次のように構成されている。

【0005】まず、15 はガラス等による透光性を有する絶縁基板で、この絶縁基板 15 の上面には図示しないゲート線およびこれと一体のゲート電極 16 と、ゲート線と平行な補助容量線およびこの補助容量線と一体の補助容量電極 17 とが形成されている。そして、図示しないゲート線および補助容量線は、画素数に対応した複数本が、紙面に対して直角な方向に形成される。また、補助容量電極 17 は、ゲート電極 16 の近くに配置される。

【0006】これらゲート線、補助容量線およびゲート電極 16、補助容量電極 17 が形成された絶縁基板 15 上にはゲート絶縁層 18 が積層され、かつ、このゲート絶縁層 18 上の、ゲート電極 16 を含む所定範囲には半導体層 19 が積層形成されている。また、この半導体層 19 上の、ゲート電極 16 上の一部に対応する範囲にエッチング保護層 20 が積層形成される。さらに、半導体層 19 の、エッチング保護層 20 以外の部分には、このエッチング保護層 20 の上面で図示のように分離されたオーミックコンタクト層 21 が形成されている。

【0007】また、ゲート絶縁層 18 上の、補助容量電極 17 上に対応する部分を含む所定範囲には、画素電極 22 が積層形成され、さらに、この画素電極 22 とオーミックコンタクト層 21 の右側部分との間にはソース電極 23 が積層形成されている。また、オーミックコンタクト層 21 の左側部分には、ゲート絶縁層 18 上に形成される図示しない信号線と一体のドレイン電極 24 が積層形成されている。そして、信号線は、紙面と平行な方向、すなわち、ゲート線とゲート絶縁層 18 を介して互いに直交するように形成されている。さらに、ゲート電極 16、ソース電極 23、ドレイン電極 24 からなる薄膜トランジスタはこれらゲート線と信号線との交差部分毎に構成され、オン動作により画素電極 22 を荷電する。

【0008】また、画素電極 22 を除く各部は無機保護層 25 により覆われ、さらに、画素電極 22 を含む全体は配向膜 26 によって覆われている。なお、図 18 (b) で示すように、絶縁基板 15 の縁部に形成される外部引出電極部分には、上面に形成される絶縁膜を除去したスルーホール 27 が形成されている。

【0009】このように形成された第 1 の基板 12 に対し、ガラス等による対向基板 30 に対向電極 31 および配向膜 32 を積層形成した第 2 の基板 13 を対向配置し、これら第 1 の基板 12 および第 2 の基板 13 間に液晶層 11 を注入し、さらに、これら第 1 の基板 12 および第 2 の基板 13 の外面に、偏光板 33 をそれぞれ設けることによりアクティブマトリクス型液晶表示装置が構成される。

【0010】次に、第 1 の基板 12 の製造方法を説明する。まず、ガラス等による絶縁基板 15 上にスパッタリン

グまたは真空蒸着法等により金属膜を形成した後、エッチングにより、ゲート線、補助容量線およびゲート電極16、補助容量電極17に相当する所定形状に形成する。

【0011】次に、これらの上に、プラズマCVD法等により、ゲート絶縁層18用として例えば窒化シリコン(SiN<sub>x</sub>)を、また半導体層19用としてたとえばa-Siを、さらに、エッチング保護層20用としてたとえばSiNxを順次積層形成する。この後、最上面に位置するエッチング保護層20のSiN<sub>x</sub>をエッチングし、エッチング保護層20がゲート電極16上に残るように形成する。

【0012】次に、プラズマCVD法により、オーミックコンタクト層21用として、低抵抗半導体層、たとえばn形a-Siを積層形成する。この後、ゲート電極16の上面を含む所定範囲にオーミックコンタクト層21および半導体層19が形成されるようにエッチングを行なう。

【0013】さらに、スパッタリングまたは真空蒸着法等により、透明電極材料、たとえばITO(Indium Tin Oxide)を積層し、さらに、このITOをエッチングすることにより透明な画素電極22を形成する。また、エッチングによって、図18(b)で示すように、絶縁基板15の縁部の引出電極上を覆っている膜を除去し、スルーホール27を形成する。

【0014】次に、スパッタリングまたは真空蒸着法等により、たとえばアルミニウム等の金属膜を積層した後、信号線およびこの信号線と一体のドレイン電極24、画素電極22の一部と接続するソース電極23を、それぞれ金属膜をエッチングすることにより形成する。この後、ソース電極23とドレイン電極24との間のオーミックコンタクト層21をエッチングし除去する。

【0015】次に、プラズマCVD法により、たとえばSiN<sub>x</sub>からなる保護用の無機保護層25を積層する。そして、エッチングにより、図示のように、画素電極22上およびスルーホール27上から無機保護層25を除去する。

【0016】このようにして、シリコン系薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置の主要部である第1の基板12が製造される。ところで、前述した各エッチング工程前に、PEP(Photo Engraving Process)と呼ばれる露光工程がある。この露光工程では、マスクを使用して基板上にフォトリソによるパターンを形成している。従来の製造方法では、7枚のマスクが使用され、7回ものPEPが行なわれている。

【0017】しかし、使用するマスクの枚数、つまりPEPの回数が増加すると、材料費や人件費等の生産コストがかさみ、PEPの失敗やごみ等による欠陥の発生度合いが増加し、歩留まりが低下してしまう。

【0018】したがって、7回ものPEPを繰返す従来の製造方法では、生産性の向上が困難であった。ただし、薄膜トランジスタにはエッチング保護層20を持たないものがあり、この場合は、使用するマスクは6枚とな

る。また、エッチング保護層20を持つものでも、オーミックコンタクト層21をイオン注入法により形成する場合は、やはり使用するマスクは6枚となる。

【0019】しかし、いずれにしても従来の製造方法ではPEPの回数が多く、このPEPをいかに減らしてどれだけ生産性を上げられるかが大きな課題となっている。

【0020】

【発明が解決しようとする課題】このように、従来のアクティブマトリクス型液晶表示装置では、その主要部である第1の基板を製造するにあたり、PEP数が多いために生産性の向上が困難であるという問題がある。

【0021】本発明の目的は、画素電極が設けられる主要部を、従来より少ないPEP数により製造することができ、生産性の向上が可能となったアクティブマトリクス型液晶表示装置を提供することにある。

【0022】

【課題を解決するための手段】本発明のアクティブマトリクス型液晶表示装置は、画素電極を有する第1の基板、および、この第1の基板に対し液晶層を介して配置され前記画素電極に対する対向電極が設けられた第2の基板を備え、前記第1の基板は、透光性を有する絶縁基板上に堆積された金属膜をエッチングすることにより形成され、互いに交差しかつ交差部分においていずれか一方が他方と接触しないように分断されたゲート線および信号線、このゲート線と一体のゲート電極および信号線と一体のドレイン電極、前記ゲート線と平行な補助容量線およびこの補助容量線と一体の補助容量電極、前記ゲート電極の近くに位置するソース電極と、上記各電極が形成された絶縁基板上に積層され、かつ、前記ドレイン電極およびソース電極の一部と、前記交差部分において分断された端部とが、それぞれ露出するようにエッチング除去されたゲート絶縁層と、このゲート絶縁層上に積層され、前記ゲート電極を覆う範囲にエッチング成形された半導体層と、この半導体層上に積層され、かつこの半導体層の上面一部を露出させる開口を有するように形成されたオーミックコンタクト層と、このオーミックコンタクト層を含む前記ゲート絶縁層上に積層された透明電極材料をエッチングすることにより形成され、前記ソース電極近くに位置する画素電極、この画素電極とソース電極の前記露出部分とオーミックコンタクト層との接続部、ドレイン電極の前記露出部分とオーミックコンタクト層との接続部、前記交差部分の露出された中断端部間接続部と、上記画素電極部分を除く全体を覆うように形成された無機保護層とを具備したものである。

【0023】

【作用】本発明は、互いに交差するゲート線および信号線、このゲート線と一体のゲート電極および信号線と一体のドレイン電極、ゲート線と平行な補助容量線およびこの補助容量線と一体の補助容量電極、ソース電極のそ

れぞれを、絶縁基板上の同一層に、エッチングにより形成するとともに、ゲート線および信号線の交差部分において、交差する一方を、他方と接触しないように分断し、これらゲート線および信号線をゲート絶縁層で覆った後、このゲート絶縁層の、ゲート電極およびソース電極に対応する部分と、分断された線の先端部に対応する部分とに、それぞれスルーホールを形成し、画素電極形成時に、スルーホールを介して画素電極材料により、ソース電極と画素電極との間、ゲート電極およびソース電極とオーミックコンタクト層の対応する部分との間、分断された線間を、それぞれ接続するようにしたので、エッチング回数を従来より減らすことができ、その結果、生産性の向上が可能である。

【0024】

【実施例】以下、本発明のアクティブマトリクス型液晶表示装置の一実施例を図面を参照して説明する。なお、図18に示す従来例に対応する部分には、同一符号を付して説明する。

【0025】図1に示すように、アクティブマトリクス型液晶表示装置は、液晶層11を介して対向する第1の基板35と第2の基板13とで構成されており、第1の基板35は次のように構成されている。

【0026】36はガラス等による透光性を有する絶縁基板で、この絶縁基板36の上面には、互いに直交するそれぞれ複数のゲート線37および信号線38が設けられている。そして、これらゲート線37および信号線38は、図1(c)および図2で示すように、交差部分においていずれか一方、たとえば信号線38が、他方、たとえばゲート線37と接触しないように分断されている。

【0027】また、この絶縁基板36の上面には、ゲート線37と一体のゲート電極39および信号線38と一体のドレイン電極40、ゲート線37と平行な図示しない補助容量線および補助容量線と一体の補助容量電極41、ゲート電極39の近くに位置するソース電極42がそれぞれ形成されている。

【0028】また、これらゲート電極39、ドレイン電極40、補助容量電極41およびソース電極42等が形成された絶縁基板36上には、これらゲート電極39、ドレイン電極40、補助容量電極41およびソース電極42を覆うようにゲート絶縁層43が積層されている。このゲート絶縁層43の、ドレイン電極40およびソース電極42の上面に対応する部分と、交差部分において分断された信号線38の端部に対応する部分とが、それぞれ露出するように、エッチング除去してコンタクト用のスルーホール44、45、46を形成する。

【0029】さらに、47は半導体層で、この半導体層47はゲート絶縁層43上に積層され、ゲート電極39を覆う範囲にエッチング成形されている。また、この半導体層47上の、ゲート電極39の中央部にす対応する位置にエッチング保護層48が設けられている。さらに、このエッチ

ング保護層48を含む半導体層47上には、オーミックコンタクト層49が積層されており、このオーミックコンタクト層49は、エッチング保護層48の上面一部を露出させる開口50を有する。

【0030】また、51は画素電極で、この画素電極51はオーミックコンタクト層49を含むゲート絶縁層43上に積層された透明電極材料をエッチングすることにより、ソース電極42の近くに形成される。また、このとき上述のエッチングによって、同時に、画素電極51とスルーホール45により露出されたソース電極42の一部とオーミックコンタクト層49との接続部52が形成される。さらに、スルーホール44により露出されたドレイン電極40の一部とオーミックコンタクト層49との接続部53、交差部分のスルーホール46により露出された中断端部間の接続部54もそれぞれ形成される。

【0031】そして、透明電極材料で形成された画素電極51部分を除く各接続部52、53、54の上面には金属層55が積層形成され、画素電極51部分を除く全体を覆うように無機保護層56が形成され、画素電極51部分を含む全体を覆うように配向膜57が積層形成される。

【0032】なお、絶縁基板36の縁部に形成される外部引出電極部分には、上面に形成される絶縁膜を除去したスルーホール58が形成されている。

【0033】このように形成された第1の基板35に対し、ガラス等による対向基板30に対向電極31および配向膜32を積層形成した第2の基板13を対向配置し、これら第1の基板35および第2の基板13間に液晶層11を注入し、さらに、これら第1の基板35および第2の基板13の外面に、偏光板33をそれぞれ設けることによりアクティブマトリクス型液晶表示装置が構成される。

【0034】次に、上記構成の第1の基板35の製造方法を説明を図3ないし図17により説明する。

【0035】まず、絶縁基板36上にスパッタリングによって、図3で示すように、モリブデンタantal (MoTa) 合金膜61を2000オングストローム程度堆積させる。

【0036】この後、図示しない第1のマスクを用いてフォトリソをパターンニングし、CF4系のドライエッチングにより、図4で示すように、ゲート線37、信号線38、ゲート電極39、ドレイン電極40、補助容量電極41、ソース電極42を同一エッチング工程にて形成する。なお、ゲート線37と信号線38との交差部分では、図4(c)で示すように、一方となる信号線38を分断し、他方となるゲート線37と接触しないようにしている。

【0037】このようにしてゲート線37、信号線38、ゲート電極39、ドレイン電極40、補助容量電極41、ソース電極42を形成した絶縁基板36を、図示しないプラズマCVD (Chemical Vapor Deposition) 装置の真空槽中に挿入し、この真空槽内を十分に真空排気した後、図示しないヒータパネルにより絶縁基板36を約350℃に加熱

する。この状態において、図示しないポンベからプラズマCVD装置の真空槽内にSiN<sub>x</sub>からなるゲート絶縁層43の原料ガスを導入する。すなわち、この原料ガスとして、シラン50sccm、アンモニア200sccm、窒素1000sccmを前記真空槽内にそれぞれ導入する。そして、この真空槽内の圧力を0.5Torrに調整し、図示しない高周波発振器により電力密度0.50W/cm<sup>2</sup>を投入してプラズマを発生させ、図5で示すように、絶縁基板36上にSiN<sub>x</sub>からなるゲート絶縁層62を約2000オングストローム程度積層する。

【0038】また、ゲート絶縁層62を積層した後、ポンベからのガス導入を一時停止し、プラズマCVD装置の真空槽内を充分真空排気し、ヒータパネルにより絶縁基板36を約300℃に加熱する。この後、a-Siからなる半導体層47の原料ガスであるシラン200sccm、水素800sccmを、それぞれ対応するポンベからプラズマCVD装置の真空槽内に導入する。そして、圧力を0.5Torrに調整し、高周波発振器により電力密度0.30W/cm<sup>2</sup>を投入してプラズマを発生させ、絶縁基板36のゲート絶縁層62上に、a-Siからなる半導体層63を約500オングストローム程度積層形成する。

【0039】このようにして、a-Siからなる半導体層47を積層形成した後、ポンベからのガスの導入を一時停止し、プラズマCVD装置の真空槽内を充分真空排気し、ヒータパネルにより絶縁基板36を約200℃に加熱する。この後、SiN<sub>x</sub>からなるエッチング保護層48の原料ガスであるシラン50sccm、アンモニア200sccm、窒素1000sccmを、それぞれ対応するポンベからプラズマCVD装置の真空槽内に導入する。そして、圧力を0.5Torrに調整し、高周波発振器により電力密度1.0W/cm<sup>2</sup>を投入してプラズマを発生させ、絶縁基板36の半導体層47上に、SiN<sub>x</sub>からなるエッチング保護層64を約2000オングストローム程度積層形成する。

【0040】このようにして、SiN<sub>x</sub>からなるエッチング保護層48を積層形成した後、絶縁基板36をプラズマCVD装置の真空槽内から取り出し、第2番目のマスクを使用してフォトリソをパターンニングする。この後、エッチング溶液によりエッチング保護層64をエッチングし、その一部が、図6で示すように、ゲート電極39上にエッチング保護層48として残るように所望の形状に加工する。

【0041】次に、絶縁基板36を再びプラズマCVD装置の真空槽内に設置し、この真空槽内を充分に真空排気した後、ヒータパネルにより絶縁基板36を約200℃に加熱する。この後、n形a-Siからなるオーミックコンタクト層49の原料ガスであるシラン20sccm、ホスフィン100sccm、水素800sccmを、それぞれ対応するポンベからプラズマCVD装置の真空槽内に導入する。そして、圧力を0.5Torrに調整し、高周波発振器によ

り電力密度0.60W/cm<sup>2</sup>を投入してプラズマを発生させ、図7で示すように、絶縁基板36のエッチング保護層48上およびこのエッチング保護層48がエッチング除去された半導体層47上に、n形a-Siからなるオーミックコンタクト層49を形成するオーミックコンタクト層膜65を約500オングストローム程度積層形成する。

【0042】このようにして、n形a-Siからなるオーミックコンタクト層膜65を積層形成した後、絶縁基板36をプラズマCVD装置の真空槽内から取り出し、図8で示すように、オーミックコンタクト層膜65の表面にスパッタリングによってモリブデン金属膜66を約500オングストローム程度積層形成する。そして、この後、エッチング溶液によりモリブデン金属膜66を全面エッチング除去する。これにより、オーミックコンタクト層49の表面に図9で示すように、シリコンとモリブデンとの合金層67が残る。

【0043】次に、第3番目のマスクを使用してフォトリソをパターンニングする。この後、エッチング溶液により、オーミックコンタクト層膜65および半導体層膜63をエッチングし、オーミックコンタクト層49および半導体層47が、図10で示すように、ゲート電極39を含む所定範囲上に残るように、所望の形状に加工する。

【0044】次に、第4番目のマスクを使用してフォトリソをパターンニングする。この後、エッチング溶液により、図11で示すように、ドレイン電極40上およびソース電極42上のゲート絶縁層62をエッチング除去し、コンタクト用のスルーホール44、45を形成する。また、同時に、図11(b)で示すように、外部引出電極上のゲート絶縁層43の一部をエッチング除去してスルーホール58を形成する。さらに、図11(c)で示すように、ゲート線37と信号線38との交差部分において、分断された信号線38の端部がそれぞれ露出するように、これらの位置に相当するゲート絶縁層43をエッチング除去してコンタクト用のスルーホール46を形成する。

【0045】次に、これらの表面に、スパッタリングによって透明な画素電極51用の材料であるITO(Indium Tin Oxide)膜68を、図12で示すように、約1000オングストローム程度積層形成する。この後、スパッタリングによって、ITO膜68の表面に、図13で示すように、モリブデンタンタル合金膜69を約2000オングストローム程度積層形成する。

【0046】次に、第5番目のマスクを使用してフォトリソをパターンニングする。この後、同じパターンにて、まず、ドライエッチングによりモリブデンタンタル合金膜69を、次にエッチング溶液を使用してITO膜68をそれぞれエッチングする。

【0047】ここで、同じパターンによるエッチング形状は、モリブデンタンタル合金膜による金属層55およびITO膜68が、図14で示すように、画素電極51の形状としてソース電極42の近くに残り、かつ、この画素電極

51とスルーホール45により露出されたソース電極42の一部とオーミックコンタクト層49との接続部52を形成し、さらに、スルーホール44により露出されたドレイン電極40の一部とオーミックコンタクト層49との接続部53を形成するものである。ただし、このときに、金属層55およびITO膜68の、ゲート電極39上に位置する部分はエッチングにより除去される。

【0048】また、パターンは、図14(b)で示すように、スルーホール58内にモリブデンタantal合金膜69およびITO膜68が残り、さらに、図14(c)で示すように、交差部分において、スルーホール46により露出された中断端部間の接続部54を形成するものでもある。ただし、ゲート線37および画素電極51上に積層する金属の種類によっては、スルーホール58内に金属層55およびITO膜68を残しておく必要はない。

【0049】次に、ドライエッチングにより、図15で示すように、オーミックコンタクト層49の、ゲート電極39上の部分をエッチング除去し、開口50を形成する。

【0050】さらに、絶縁基板36を再びプラズマCVD装置の真空槽内に設置し、この真空槽内を充分に真空排気した後、ヒータパネルにより絶縁基板36を約200℃に加熱する。この後、SiN<sub>x</sub>からなる無機保護層56の原料ガスであるシラン50sccm、アンモニア200sccm、窒素100sccmを、それぞれ対応するボンベからプラズマCVD装置の真空槽内に導入する。そして、圧力を0.5Torrに調整し、高周波発振器により電力密度1.0W/cm<sup>2</sup>を投入してプラズマを発生させ、図16で示すように、絶縁基板36の表面上に、SiN<sub>x</sub>からなる無機保護層56を約2000オングストローム程度積層形成する。

【0051】次に、第6番目のマスクを使用してフォトリソをパターンニングする。この後、ドライエッチ

ングにより、画素電極51およびスルーホール58上の無機保護層56と、画素電極51に残っていた金属層55とを、図17で示すように、それぞれエッチング除去する。

【0052】この後、これらの表面に図1で示したように、配向膜57を形成し、第1の基板35が完成する。ただし、本実施例においては、示さなかったがゲート線37と補助容量線との交差部分は補助容量線の方を一部中断し、また、信号線38と補助容量線の交差部分は補助容量線を一部中断して、ゲート線37と信号線38の交差部分と同様の構造を採って形成した。

【0053】このようにして、アクティブマトリクス型液晶表示装置の主要部である第1の基板35が製造されるが、その製造過程において使用されるマスクの枚数は6枚である。もちろん、従来と同様に、エッチング保護層48を持たない薄膜トランジスタでは、使用するマスクは5枚となる。また、エッチング保護層48を持つものでも、オーミックコンタクト層49をイオン注入法により形成する場合は、やはり使用するマスクは5枚となる。いずれにしても、従来に比べ、マスクの使用数は1枚少なくなる。このため、材料費や人件費等の生産コストが低下し、PEPの失敗やごみ等による欠陥の発生度合いも減少して歩留まりが向上し、生産性が高まる。

【0054】次に、表1により、上述のようにして製造されたアクティブマトリクス型液晶表示装置の、アモルファスシリコン薄膜トランジスタA1の特性、すなわち、電界効果移動度およびスレッショールド電圧を示す。なお、比較のために、従来と同じ構造および製造方法によるアモルファスシリコン薄膜トランジスタA2の特性も合わせて示す。

30 【0055】

【表1】

	電界効果移動度 (cm <sup>2</sup> /VS)	スレッショールド電圧 (V)
実施例によるアモルファスシリコン薄膜トランジスタ	0.51	3.52
従来のアモルファスシリコン薄膜トランジスタ	0.53	3.40

表1から明らかなように、上記実施例によるアクティブマトリクス型液晶表示装置に用いられているアモルファスシリコン薄膜トランジスタも、従来のものとほぼ同等の特性を示している。すなわち、上記実施例の装置に用いられているアモルファスシリコン薄膜トランジスタは、マスクの使用枚数を従来より1枚減らすことができ、しかも従来と同等のトランジスタ特性を得ることができる。

【0056】

【発明の効果】本発明のアクティブマトリクス型液晶表示装置によれば、ゲート線、信号線、ゲート電極、ドレイン電極、補助容量線、補助容量電極およびソース電極を、絶縁基板上の同一層に、エッチングにより形成する

とともに、ゲート線および信号線の交差部分において、交差する一方を、他方と接触しないように分断してゲート絶縁層で覆った後、ゲート電極およびソース電極に対応する部分と、分断された線の先端部に対応する部分とに、それぞれスルーホールを形成し、画素電極形成時に画素電極材料により、ソース電極と画素電極との間、ゲート電極およびソース電極とオーミックコンタクト層の対応する部分との間、分断された線間を、それぞれ接続するようにしたので、エッチング回数を減らすことができ、材料費や人件費等の生産コストを低下させ、欠陥の発生度合いを減少させて、歩留まりが向上する。

【図面の簡単な説明】

【図 1】本発明によるアクティブマトリクス型液晶表示装置の一実施例を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 2】同上図 1 (c) で示した交差部分の平面図である。

【図 3】同上アクティブマトリクス型液晶表示装置の主要部の一製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 4】同上アクティブマトリクス型液晶表示装置の主要部の図 3 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 5】同上アクティブマトリクス型液晶表示装置の主要部の図 4 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 6】同上アクティブマトリクス型液晶表示装置の主要部の図 5 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 7】同上アクティブマトリクス型液晶表示装置の主要部の図 6 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 8】同上アクティブマトリクス型液晶表示装置の主要部の図 7 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 9】同上アクティブマトリクス型液晶表示装置の主要部の図 8 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 10】同上アクティブマトリクス型液晶表示装置の主要部の図 9 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 11】同上アクティブマトリクス型液晶表示装置の主要部の図 10 の次の製造工程を示す断面図である。

- (a) 画素部分

- (b) 外部引出電極部分
- (c) 交差部分

【図 12】同上アクティブマトリクス型液晶表示装置の主要部の図 11 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 13】同上アクティブマトリクス型液晶表示装置の主要部の図 12 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 14】同上アクティブマトリクス型液晶表示装置の主要部の図 13 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 15】同上アクティブマトリクス型液晶表示装置の主要部の図 14 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 16】同上アクティブマトリクス型液晶表示装置の主要部の図 15 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 17】同上アクティブマトリクス型液晶表示装置の主要部の図 16 の次の製造工程を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分
- (c) 交差部分

【図 18】従来例のアクティブマトリクス型液晶表示装置を示す断面図である。

- (a) 画素部分
- (b) 外部引出電極部分

【符号の説明】

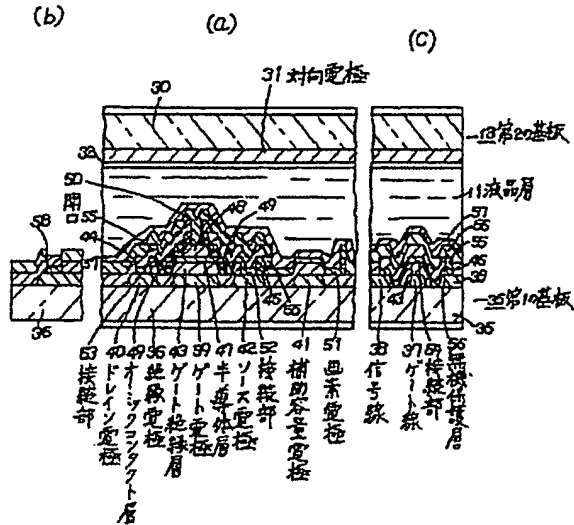
- 11 液晶層
- 13 第 2 の基板
- 31 対向電極
- 35 第 1 の基板
- 36 絶縁基板
- 37 ゲート線
- 38 信号線
- 39 ゲート電極
- 40 ドレイン電極
- 41 補助容量電極
- 42 ソース電極
- 43 ゲート絶縁層
- 47 半導体層



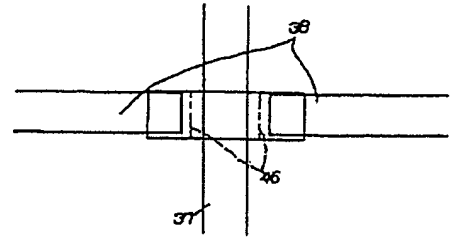
49 オーミックコンタクト層  
50 開口  
51 画素電極

52, 53, 54 接続部  
56 無機保護層

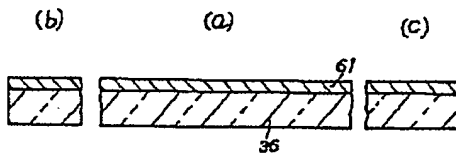
【図1】



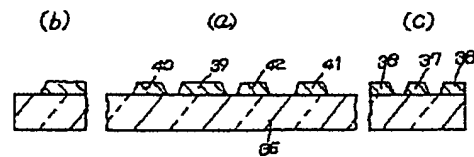
【図2】



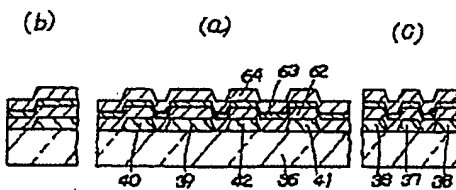
【図3】



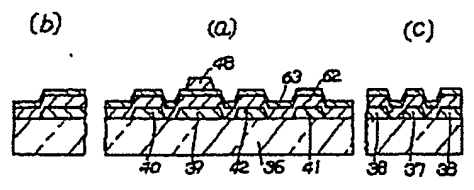
【図4】



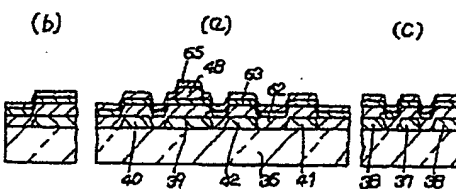
【図5】



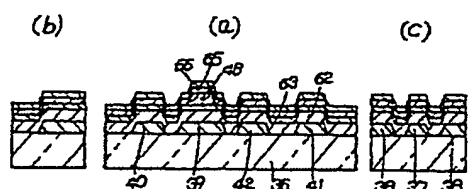
【図6】



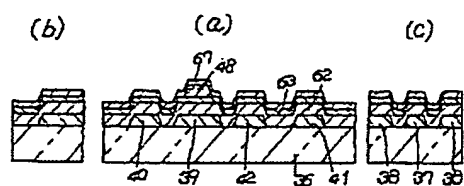
【図7】



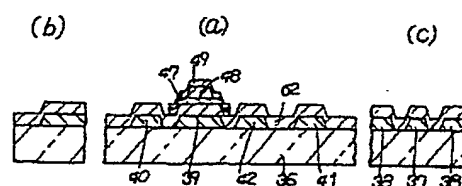
【図8】



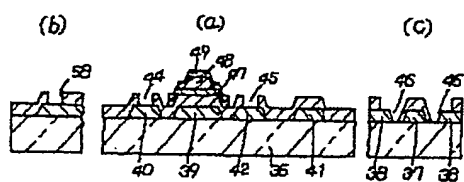
【図 9】



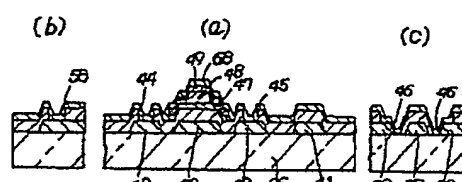
【図 10】



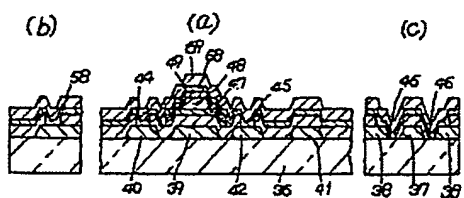
【図 11】



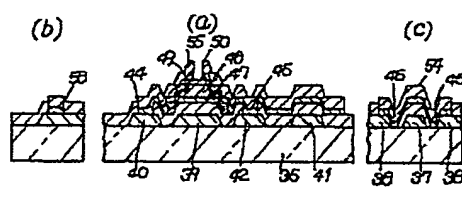
【図 12】



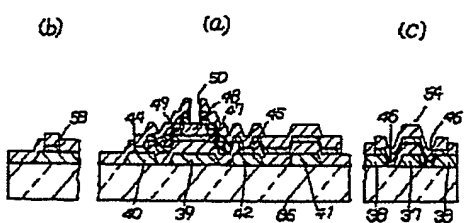
【図 13】



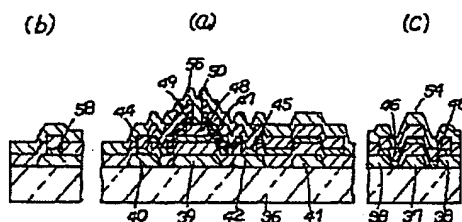
【図 14】



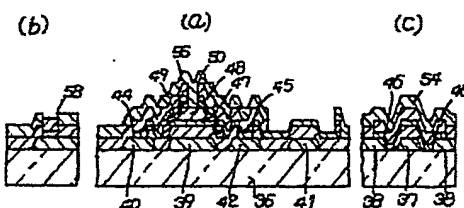
【図 15】



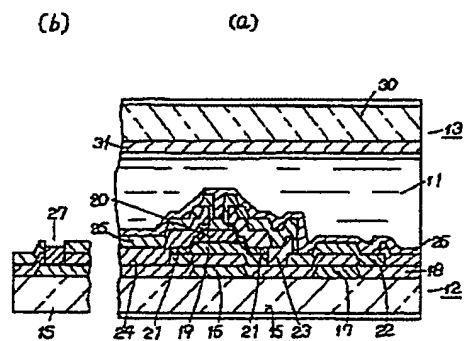
【図 16】



【図 17】



【図 18】



JP6-281957

(19) Japanese Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin (A)

(11) Patent Application Laid-Open Disclosure No.: Hei 6-281957

(43) Publication Date: October 7, 1994

(51) Int. Cl. <sup>5</sup>	Identification Symbol	F1
G02F 1/136	500	9119-2K
H01L 29/784		
	9056-4M	H01L 29/78 311 A

Request for Examination: Not made

Number of Claims: 1 OL (9 Pages in Total)

(21) Patent Application No.: Hei 5-70412

(22) Patent Application Date: March 29, 1993

(71) Applicant: 000003078

Toshiba Corp.

72, Horikawa-chyou, Saiwai-ku, Kawasaki-shi, Kanagawa-ken

(72) Inventor: Shinichi Kawamura

C/o Toshiba Corp. Yokohama Works

8 Shinsugita-cho, Isogo-ku, Yokohama-shi, Kanagawa-ken

(74) Agent: Attorney Jyou Kabasawa (and two others)

(54) [Title of the Invention]

Active matrix liquid crystal display device

(57) [Abstract]

[Purpose]

To provide an active matrix liquid crystal display device capable of manufacturing with a small number of etching times and improving the productivity.

[Constitution]

A gate line 37 and a signal line 38 perpendicular to each other, a gate electrode 39, a drain electrode 40, an auxiliary capacitor line, an auxiliary capacitor electrode 41, and a source electrode 42 are formed by etching in one layer over an insulating substrate 36. At the intersection of the gate line 37 and the signal line 38, the gate line 37 is

separated not to be in contact with the signal line 38 and covered with a gate insulating layer. Thereafter, connection portions 52, 53, and 54 of a through hole are formed in a portion corresponding to the gate electrode 39 and the source electrode 42 and a portion corresponding to the separated edge. During the formation of a pixel electrode, the source electrode 42 is connected to the pixel electrode 51, the gate electrode 39 and the source electrode 42 are connected to a portion corresponding to an ohmic contact layer 49, and the separated lines are connected to each other through the connection portions 52, 53, and 54 by using a pixel electrode material.

[Scope of Claim]

[Claim 1]

An active matrix liquid crystal display device comprising:

a first substrate having a pixel electrode; and

a second substrate which is disposed to face the first substrate by interposing a liquid crystal layer therebetween and provided with an opposite electrode against the pixel electrode,

wherein the first substrate, which is formed by etching a metal film deposited over a light-transmitting insulating substrate, includes:

a gate line and a signal line which are intersected with each other and one of which is separated not to be in contact with the other at the intersection, a gate electrode integrated with the gate line and a drain electrode integrated with the signal line, an auxiliary capacitor line parallel to the gate line and an auxiliary capacitor electrode integrated with the auxiliary capacitor line, and a source electrode disposed near the gate electrode;

a gate insulating layer which is stacked over the insulating substrate where each of the electrodes is formed and which is removed by etching to each expose part of the drain electrode and the source electrode, and a separated edge at the intersection;

a semiconductor layer which is stacked over the gate insulating layer and formed by etching in a range covering the gate electrode;

an ohmic contact layer stacked over the semiconductor layer and formed to have an opening for partially exposing an upper surface of the semiconductor layer;

a pixel electrode formed by etching a transparent electrode material stacked over the gate insulating layer including the ohmic contact layer, which is near the source electrode, a connection portion between the pixel electrode and the exposed portion of the source electrode, and the ohmic contact layer, a connection portion between the exposed portion of the drain electrode and the ohmic contact layer, and a connection

portion between discontinuance ends which is exposed at the intersection; and  
an inorganic protective layer formed to cover the entire except the pixel electrode portion.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to an active matrix liquid crystal display device having a pixel electrode.

[0002]

[Prior Art]

A recent liquid crystal display device is required to be high contrast, and an active matrix type has been widely employed as a driving control system of each pixel. A thin film transistor in which amorphous silicon or polycrystalline silicon is used to form a semiconductor active layer is given as a typical example of an active element used for such an active matrix liquid crystal display device.

[0003]

FIGS. 18 show a conventional active matrix liquid crystal display device using a reverse stagger type silicon-based thin film transistor as an active element, which has an etching stopper layer and an ohmic contact layer formed by a plasma CVD (Chemical Vapor Deposition) method.

[0004]

In these FIGS. 18, the active matrix liquid crystal display device is manufactured with a first substrate 12 and a second substrate 13 which are faced to each other by interposing a liquid crystal layer 11 therebetween, and the first substrate 12 is formed in the following manner.

[0005]

First, reference numeral 15 denotes a light-transmitting insulating substrate such as glass. A gate line which is not shown in the figure and a gate electrode 16 integrated with the gate line; and an auxiliary capacitor line parallel to the gate line and an auxiliary capacitor electrode 17 integrated with the auxiliary capacitor line are formed on the upper surface of the insulating substrate 15. Then, a plurality of the gate lines and the auxiliary capacitor lines that are not shown, which corresponds to the number of pixels, is formed in a direction perpendicular to the page. In addition, the auxiliary capacitor electrode 17 is disposed near the gate electrode 16.

[0006]

A gate insulating layer 18 is stacked over the insulating substrate 15 in which the gate line, auxiliary capacitor line, gate electrode 16, and auxiliary capacitor electrode 17 are formed, and a semiconductor layer 19 is stacked over a predetermined range of this gate insulating layer 18 where the gate electrode 16 is included. In addition, an etching protective layer 20 is stacked over a range of the semiconductor layer 19 partially corresponding to the gate electrode layer 16. Further, an ohmic contact layer 21 separated at an upper surface of this etching protective layer 20 as shown in the figure is formed in a portion of the semiconductor layer 19 except the etching protective layer 20.

[0007]

In addition, a pixel electrode 22 is stacked over a predetermined range of the gate insulating layer 18 where a portion corresponding to the auxiliary capacitor electrode 17 is included. Further, a source electrode 23 is stacked between this pixel electrode 22 and the right side portion of the ohmic contact layer 21. In addition, a drain electrode 24, integrated with the signal line not shown in the figure, which is formed over the gate insulating layer 18, is stacked on the left side portion of the ohmic contact layer 21. Then, the signal line is formed in a direction parallel to a page. In other words, the signal line is formed so that the signal line and the gate line are perpendicular to each other by the gate insulating layer 18 interposed therebetween. Further, a thin film transistor including the gate electrode 16, the source electrode 23, and the drain electrode 24 is formed in every intersection of the gate line and signal line, and the pixel electrode 22 is charged due to the ON operation.

[0008]

In addition, each portion except the pixel electrode 22 is covered with an inorganic protective layer 25 and further the entire including the pixel electrode 22 is covered with an alignment film 26. As shown in FIG. 18 (b), in an external leading out electrode portion formed on the edge of the insulating substrate 15, a through hole 27 is formed by removing the insulating film formed on the upper surface.

[0009]

The second substrate 13 in which an opposite electrode 31 and an alignment film 32 are stacked over an opposite substrate 30 such as glass is disposed to face the first substrate 12 formed in this manner, and the liquid crystal layer 11 is implanted between the first substrate 12 and second substrate 13. Further, the active matrix liquid crystal display device is manufactured by providing a polarizing plate 33 on each

of the external surfaces of the first substrate 12 and the second substrate 13.

[0010]

Next, a method for manufacturing the first substrate 12 is described. First, a metal film is formed over the insulating substrate 15 such as glass by sputtering, a vacuum vapor deposition method, or the like and then a predetermined shape each corresponding to the gate line, the auxiliary capacitor line, the gate electrode 16, and the auxiliary capacitor electrode 17 is formed by etching.

[0011]

Then, for example, silicon nitride ( $\text{SiN}_x$ ) for the gate insulating layer 18, a-Si for the semiconductor layer 19, and further  $\text{SiN}_x$  for the etching protective layer 20 are sequentially stacked thereover by a plasma CVD method or the like. Thereafter, the  $\text{SiN}_x$  for the etching protective layer 20 disposed on the most upper surface is etched so that the etching protective layer 20 remains over the gate electrode 16.

[0012]

Thereafter, a low-resistant semiconductor layer, for example, n-type a-Si is stacked as the ohmic contact layer 21 by a plasma CVD method. Then, etching is performed so that the ohmic contact layer 21 and the semiconductor layer 19 are formed in a predetermined range where the upper surface of the gate electrode 16 is included.

[0013]

Further, a transparent electrode material, for example, ITO (Indium Tin Oxide) is stacked by sputtering, a vacuum vapor deposition method, or the like and further the ITO is etched. Accordingly, the transparent pixel electrode 22 is formed. In addition, as shown in FIG. 18 (b), the film covering over the leading out electrode on the edge of the insulating substrate 15 is removed by etching to form the through hole 27.

[0014]

After stacking, for example, a metal film such as aluminum by sputtering, a vacuum vapor deposition method, or the like, the signal line, the drain electrode 24 integrated with the signal line, and the source electrode 23 connected to part of the pixel electrode 22 are each formed by etching the metal film. Then, the ohmic contact layer 21 between the source electrode 23 and the drain electrode 24 is removed by etching.

[0015]

Then, the inorganic protective layer 25 for protection formed of, for example,  $\text{SiN}_x$  is stacked by a plasma CVD method. As shown in the figure, the inorganic protective layer 25 over the pixel electrode 22 and the through hole 27 is removed by etching.

[0016]

In this manner, the first substrate 12 which is a main portion of the active matrix liquid crystal display device using the silicon-based thin film transistor is manufactured. In the meantime, there is a light-exposure process referred to as a PEP (Photo Engraving Process) before each of the above etching processes. A pattern using a photoresist is formed over a substrate by using a mask in this light-exposure process. In the conventional manufacturing method, seven masks are used and the PEP is performed as much as seven times.

[0017]

However, when the number of masks to be used, in other words, the number of PEP times is increased, a manufacturing cost including a material cost and a personnel cost runs up and tends to cause a defect due to the failure of the PEP, dust, or the like; therefore, the yield is decreased.

[0018]

Therefore, it is difficult to increase the productivity in the conventional manufacturing method in which the PEP is repeated as much as seven times. However, some thin film transistors do not have the etching protective layer 20. In this case, six masks are used. In the case of a thin film transistor having the etching protective layer 20, six masks are used as well when the ohmic contact layer 21 is formed by an ion implantation method.

[0019]

However, in any cases, a large number of PEP times are performed in the conventional manufacturing method, and it has been a major problem how this PEP can be decreased and how the productivity can be increased.

[0020]

[Problem to be Solved by the Invention]

In this manner, in the conventional active matrix liquid crystal display device, the number of a PEP is large in manufacturing a first substrate which is a main portion of the active matrix liquid crystal display device; therefore, there is a problem that it is difficult to increase the productivity.

[0021]

It is an object of the present invention to provide an active matrix liquid crystal display device of which main portion where a pixel electrode is formed can be manufactured with a smaller number of PEP times than the conventional one and of which productivity can be improved.



[0022]

[Means for Solving the Problem]

An active matrix liquid crystal display device according to the present invention comprises a first substrate having a pixel electrode; and a second substrate which is disposed to face the first substrate by interposing a liquid crystal layer therebetween and provided with an opposite electrode against the pixel electrode, wherein the first substrate, which is formed by etching a metal film deposited over a light-transmitting insulating substrate, includes a gate line and a signal line which are intersected with each other and one of which is separated not to be in contact with the other at the intersection, a gate electrode integrated with the gate line and a drain electrode integrated with the signal line, an auxiliary capacitor line parallel to the gate line and an auxiliary capacitor electrode integrated with the auxiliary capacitor line, and a source electrode disposed near the gate electrode; a gate insulating layer which is stacked over the insulating substrate where each of the electrodes is formed and which is removed by etching to each expose part of the drain electrode and the source electrode, and a separated edge at the intersection; a semiconductor layer which is stacked over the gate insulating layer and formed by etching in a range covering the gate electrode; an ohmic contact layer stacked over the semiconductor layer and formed to have an opening for partially exposing an upper surface of the semiconductor layer; a pixel electrode formed by etching a transparent electrode material stacked over the gate insulating layer including the ohmic contact layer, which is near the source electrode, a connection portion between the pixel electrode and the exposed portion of the source electrode, and the ohmic contact layer, a connection portion between the exposed portion of the drain electrode and the ohmic contact layer, and a connection portion between discontinuance ends which is exposed at the intersection; and an inorganic protective layer formed to cover the entire except the pixel electrode portion.

[0023]

[Operation]

According to the present invention, a gate line and a signal line that intersect to each other, a gate electrode integrated with the gate line and a drain electrode integrated with the signal line, an auxiliary capacitor line parallel to the gate line and an auxiliary capacitor electrode integrated with the auxiliary capacitor line, and a source electrode are each formed by etching over one layer of an insulating substrate. At the intersection of the gate line and the signal line, one that intersects is separated not to be in contact with the other and covered with a gate insulating layer. Thereafter, a

through hole is formed in each of a portion of the gate insulating layer corresponding to the gate electrode and the source electrode and a portion of the gate insulating layer corresponding to an edge of the separated line. During the formation of a pixel electrode, the source electrode is connected to the pixel electrode, the gate electrode and the source electrode are connected to a portion corresponding to an ohmic contact layer, and the separated lines are connected to each other through a through hole by using a pixel electrode material. Accordingly, the number of etching times can be reduced and thus the productivity can be improved.

[0024]

[Embodiment]

Hereinafter, one embodiment of an active matrix liquid crystal display device according to the present invention is described with reference to figures. Note that portions corresponding to the conventional example shown in FIGS. 18 are described by being denoted with the same reference numeral.

[0025]

As shown in FIGS. 1, an active matrix liquid crystal display device is manufactured with a first substrate 35 and a second substrate 13 which are faced to each other by interposing a liquid crystal layer 11 therebetween, and the first substrate 35 is formed in the following manner.

[0026]

Reference numeral 36 denotes a light-transmitting insulating substrate such as glass, and a plurality of gate lines 37 and signal lines 38 perpendicular to each other is provided on the upper surface of this insulating substrate 36. As shown in FIG. 1 (c) and FIG. 2, one of either the gate line 37 or the signal line 38, for example, the signal line 38 is separated not to be in contact with the other, for example, the gate line 37 at the intersection.

[0027]

In addition, a gate electrode 39 integrated with the gate line 37 and a drain electrode 40 integrated with the signal line 38; an auxiliary capacitor line parallel to the gate line 37, which is not shown in the figure, and an auxiliary capacitor electrode 41 integrated with the auxiliary capacitor line; and a source electrode 42 disposed near the gate electrode 39 are each formed on the upper surface of this insulating substrate 36.

[0028]

Moreover, a gate insulating layer 43 is stacked over the insulating substrate 36 in which the gate electrode 39, drain electrode 40, auxiliary capacitor electrode 41,

source electrode 42, and the like are formed so as to cover the gate electrode 39, drain electrode 40, auxiliary capacitor electrode 41, and source electrode 42. A portion of the gate insulating layer 43 corresponding to the upper surface of the drain electrode 40 and the source electrode 42 and a portion of the gate insulating layer 43 corresponding to an edge of the separated signal line 38 at the intersection are each removed by etching to be exposed. Accordingly, through holes 44, 45, and 46 for contact are formed.

[0029]

Further, reference numeral 47 denotes a semiconductor layer. This semiconductor layer 47 is stacked over the gate insulating layer 43 and formed by etching in a range covering the gate electrode 39. In addition, an etching protective layer 48 is provided in a position corresponding to the central portion of the gate electrode 39 over this semiconductor layer 47. Further, an ohmic contact layer 49 is stacked over the semiconductor layer 47 including this etching protective layer 48, and this ohmic contact layer 49 has an opening 50 for partially exposing the upper surface of the etching protective layer 48.

[0030]

In addition, reference numeral 51 denotes a pixel electrode. This pixel electrode 51 is formed near the source electrode 42 by etching a transparent electrode material stacked over the gate insulating layer 43 including the ohmic contact layer 49. In addition, according to the above etching, at this time, a connection portion 52 between the pixel electrode 51, part of the source electrode 42 which is exposed by the through hole 45, and the ohmic contact layer 49 are simultaneously formed. Further, a connection portion 53 between part of the drain electrode 40 which is exposed by the through hole 44 and the ohmic contact layer 49, and also a connection portion 54 between discontinuance ends which is exposed by the through hole 46 at the intersection are each formed.

[0031]

Then, a metal layer 55 is stacked in each upper surface of the connection portions 52, 53, and 54 except the pixel electrode 51 formed of a transparent electrode material, an inorganic protective layer 56 is formed to cover the entire except the pixel electrode 51 portion, and an alignment film 57 is stacked to cover the entire including the pixel electrode 51.

[0032]

Note that a through hole 58 which removed an insulating film formed on an upper surface is formed in an external leading out electrode formed on the edge of the

insulating substrate 36.

[0033]

The second substrate 13 in which an opposite electrode 31 and an alignment film 32 are stacked over an opposite substrate 30 such as glass is disposed to face the first substrate 35 formed in this manner, and the liquid crystal layer 11 is implanted between the first substrate 35 and second substrate 13. Further, the active matrix liquid crystal display device is manufactured by providing a polarizing plate 33 in each of the external surfaces of the first substrate 35 and second substrate 13.

[0034]

Next, a method for manufacturing the first substrate 35 having the above structure is described with reference to FIGS. 3 to FIGS. 17.

[0035]

First, as shown in FIGS. 3, a molybdenum tantalum (MoTa) alloy film 61 is deposited approximately for 2000 angstrom by sputtering over an insulating substrate 36.

[0036]

Thereafter, photoresist is patterned using a first mask which is not shown in the figures. As shown in FIGS. 4, a gate line 37, a signal line 38, a gate electrode 39, a drain electrode 40, an auxiliary capacitor electrode 41, and a source electrode 42 are formed in one etching process by performing CF<sub>4</sub>-based dry etching. As shown in FIG. 4 (c), at the intersection of the gate line 37 and the signal line 38, the signal line 38 which is one thereof is separated not to be in contact with the gate line 37 which is the other thereof.

[0037]

In this manner, the insulating substrate 36 in which the gate line 37, the signal line 38, the gate electrode 39, the drain electrode 40, the auxiliary capacitor electric 41, and the source electrode 42 are formed is inserted in a vacuum chamber of a plasma CVD (Chemical Vapor Deposition) apparatus which is not shown in the figures. After the inner vacuum chamber is vacuum evacuated adequately, the insulating substrate 36 is heated approximately at 350°C by using a heater panel which is not shown in the figure. In this state, a source gas of a gate insulating layer 43 formed of SiN<sub>x</sub> is introduced into the vacuum chamber of the plasma CVD apparatus from a cylinder which is not shown in the figures. In other words, silane of 50 sccm, ammonia of 200 sccm, and nitrogen of 1000 sccm are each introduced into the vacuum chamber as this source gas. The pressure in this vacuum chamber is adjusted to 0.5 Torr and a power

density of  $0.50 \text{ W/cm}^2$  is applied by using a high-frequency oscillator which is not shown in the figures to generate plasma. Accordingly, as shown in FIGS. 5, a gate insulating layer film 62 formed of  $\text{SiN}_x$  is stacked over the insulating substrate 36 approximately for 2000 angstrom.

[0038]

In addition, after stacking the gate insulating layer film 62, the gas flown from the cylinder is temporary stopped introducing and the inner vacuum chamber of the plasma CVD apparatus is vacuum evacuated adequately to heat the insulating substrate 36 approximately at  $300^\circ\text{C}$  by using a heater panel. Thereafter, silane of 200 sccm and hydrogen of 800 sccm which are the source gas of a semiconductor layer 47 formed of a-Si are each introduced into the inner vacuum chamber of the plasma CVD apparatus from a cylinder corresponding to each gas. The pressure is adjusted to 0.5 Torr and a power density of  $0.30 \text{ W/cm}^2$  is applied by using the high-frequency oscillator to generate plasma. Accordingly, a semiconductor layer film 63 formed of a-Si is stacked over the gate insulating layer film 62 of the insulating substrate 36 approximately for 500 angstrom.

[0039]

In this manner, after stacking the semiconductor layer 47 formed of a-Si, the gas flown from the bombe is temporarily stopped introducing and the inner vacuum chamber of the plasma CVD apparatus is vacuum evacuated adequately to heat the insulating substrate 36 approximately at  $200^\circ\text{C}$  by using the heater panel. Thereafter, silane of 50 sccm, ammonia of 200 sccm, and nitrogen of 1000 sccm which are the source gas of an etching protective layer 48 formed of  $\text{SiN}_x$  are each introduced into the inner vacuum chamber of the plasma CVD apparatus from a bombe corresponding to each gas. The pressure is adjusted to 0.5 Torr and a power density of  $1.0 \text{ W/cm}^2$  is applied by using the high-frequency oscillator to generate plasma. Accordingly, an etching protective layer film 64 formed of  $\text{SiN}_x$  is stacked over the semiconductor layer 47 of the insulating substrate 36 approximately for 2000 angstrom.

[0040]

In this manner, after stacking the etching protective layer 48 formed of  $\text{SiN}_x$ , the insulating substrate 36 is taken out from the inner vacuum chamber of the plasma CVD apparatus to pattern photoresist by using a second mask. Thereafter, the etching protective layer film 64 is etched by etchant, and as shown in FIGS. 6, the etching protective layer film 64 is processed in a desired shape so that part thereof remains over the gate electrode 39 as the etching protective layer 48.

[0041]

Then, the insulating substrate 36 is placed in the vacuum chamber of the plasma CVD apparatus again, and the insulating substrate 36 is heated approximately at 200°C by using the heat panel after vacuum evacuating this inner vacuum chamber adequately. Thereafter, silane of 20sccm, phosphine of 100 sccm, and hydrogen of 800 sccm which are the source gas of an ohmic contact layer 49 formed of n-type a-Si are each introduced into the inner vacuum chamber of the plasma CVD apparatus from a cylinder corresponding to each gas. The pressure is adjusted to 0.5 Torr and a power density of 0.60 W/cm<sup>2</sup> is applied by using the high-frequency oscillator to generate plasma. Accordingly, as shown in FIGS. 7, an ohmic contact layer film 65 for forming the ohmic contact layer 49 formed of n-type a-Si is stacked approximately for 500 angstrom over the etching protective layer 48 of the insulating substrate 36 and over the semiconductor layer 47 in which this etching protective layer 48 is removed by etching.

[0042]

In this manner, after stacking the ohmic contact layer film 65 formed of n-type a-Si, the insulating substrate 36 is taken out from the inner vacuum chamber of the plasma CVD apparatus, and as shown in FIGS. 8, a molybdenum metal film 66 is stacked by sputtering approximately for 500 angstrom on the surface of the ohmic contact layer film 65. Thereafter, the molybdenum metal film 66 is entirely removed by etching using etchant. Accordingly, as shown in FIGS. 9, an alloy layer of silicon and molybdenum 67 remains on the surface of the ohmic contact layer 49.

[0043]

Next, photoresist is patterned using a third mask. Thereafter, the ohmic contact layer film 65 and the semiconductor layer film 63 are etched using etchant, and as shown in FIGS. 10, the ohmic contact layer film 65 and the semiconductor layer film 63 are processed in a desired shape so that the ohmic contact layer 49 and the semiconductor layer 47 remain over a predetermined range including the gate electrode 39.

[0044]

Then, photoresist is patterned using a fourth mask. Thereafter, as shown in FIGS. 11, the gate insulating layer film 62 over the drain electrode 40 and the source electrode 42 is removed by etching by etchant to form through holes 44 and 45 for contact. In addition, as shown in FIG. 11 (b), the gate insulating layer 43 over an external leading out electrode is partially removed by etching to form a through hole 58 at the same time. Further, in order to expose each edge of the separated signal line 38

at the intersection of the gate line 37 and the signal line 38 as shown in FIG. 11 (c), the gate insulating layer 43 corresponding to these positions is removed by etching to form a through hole 46 for contact.

[0045]

Next, as shown in FIGS. 12, an ITO (Indium Tin Oxide) film 68 which is a material for a transparent pixel electrode 51 is stacked by sputtering on the surface thereof approximately for 1000 angstrom. Thereafter, as shown in FIGS. 13, a molybdenum-tantalum alloy film 69 is stacked by sputtering on the surface of the ITO film 68 approximately for 2000 angstrom.

[0046]

Then, photoresist is patterned using a fifth mask. Thereafter, the molybdenum-tantalum alloy film 69 and the ITO film 68 are each etched. First, the molybdenum-tantalum alloy film 69 is etched by dry etching and then the ITO film 68 is etched by using etchant in the same pattern.

[0047]

Here, according to the etching shape in the same pattern, as shown in FIGS. 14, the metal layer 55 formed of the molybdenum-tantalum alloy film and the ITO film 68 is left near the source electrode 42 as the shape of the pixel electrode 51, a connection portion 52 between the pixel electrode 51 and part of the source electrode 42, which is exposed by the through hole 45, and the ohmic contact layer 49 is formed, and further a connection portion 53 between part of the drain electrode 40 which is exposed by the through hole 44 and the ohmic contact layer 49 is formed. However, at this time, the portion of the metal layer 55 and the ITO film 68 which is placed over the gate electrode 39 is removed by etching.

[0048]

In addition, according to the pattern, the molybdenum-tantalum alloy film 69 and the ITO film 68 is left in the through hole 58 as shown in FIG. 14 (b) and a connection portion 54 between the discontinuance ends which is exposed by the through hole 46 at the intersection is formed as shown in FIG. 14 (c). However, it is not necessary to leave the metal layer 55 and the ITO film 68 within the through hole 58 depending on the kind of a metal stacked over the gate line 37 and the pixel electrode 51.

[0049]

Next, as shown in FIGS. 15, the portion of the ohmic contact layer 49 over the gate electrode 39 is removed by dry etching to form an opening 50.

[0050]

Further, the insulating substrate 36 is placed again in the inner vacuum chamber of the plasma CVD apparatus, and the insulating substrate 36 is heated approximately at 200°C by using the heat panel after vacuum evacuating this inner vacuum chamber adequately. Thereafter, silane of 50 sccm, ammonia of 200 sccm, and nitrogen of 100 sccm which are the source gas of an inorganic protective layer 56 formed of  $\text{SiN}_x$  are each introduced into the inner vacuum chamber of the plasma CVD apparatus from a cylinder corresponding to each gas. The pressure is adjusted to 0.5 Torr and a power density of  $1.0 \text{ W/cm}^2$  is applied by using the high-frequency oscillator to generate plasma. Accordingly, as shown in FIGS. 16, the inorganic protective layer 56 formed of  $\text{SiN}_x$  is stacked over the surface of the insulating substrate 36 approximately for 2000 angstrom.

[0051]

Then, photoresist is patterned using a sixth mask. Thereafter, as shown in FIGS. 17, the inorganic protective layer 56 which is formed over the pixel electrode 51 and the through hole 58, and the metal layer 55 left over the pixel electrode 51 are each removed by dry etching.

[0052]

Thereafter, as shown in FIGS. 1, an alignment film 57 is formed on the surface thereof to complete the first substrate 35. However, although not shown in this embodiment, the auxiliary capacitor line which is partially discontinued at the intersection of the gate line 37 and the auxiliary capacitor line, and also the auxiliary capacitor line which is partially discontinued at the intersection of the signal line 38 and the auxiliary capacitor line, are formed by employing the same structure as the intersection of the gate line 37 and the signal line 38.

[0053]

In this manner, the first substrate 35 which is a main portion of the active matrix liquid crystal display device is manufactured, and six masks are used in the manufacturing process. Of course, five masks are used in a thin film transistor without the etching protective layer 48 as well as the conventional active matrix liquid crystal display device. Even in the case of a thin film transistor having the etching protective layer 48, five masks are used as well when the ohmic contact layer 49 is formed by an ion implantation method. In any cases, the number of masks to be used is less by one compared with the conventional active matrix liquid crystal display device. Therefore, a manufacturing cost including a material cost and a personnel cost decreases and



tendency to cause a defect due to the failure of the PEP or dust is also decreased; therefore, the yield and productivity are increased.

[0054]

Then, Table 1 shows characteristics of an amorphous silicon thin film transistor A1, in other words, the electric field effect mobility and threshold voltage of the active matrix liquid crystal display device manufactured in the above manner. Note that characteristics of an amorphous silicon thin film transistor A2 employing a structure and a manufacturing method which is the same as the conventional one is also shown for comparison.

[0055]

[Table 1]

	Electric Field Effect Mobility ( $\text{cm}^2/\text{VS}$ )	Threshold Voltage (V)
Amorphous Silicon Thin Film Transistor according to Embodiment	0.51	3.52
Conventional Amorphous Silicon Thin Film Transistor	0.53	3.40

As apparent from Table 1, the amorphous silicon thin film transistor used for the active matrix liquid crystal display device according to the above embodiment also has substantially the same characteristics as the conventional one. In other words, the amorphous silicon thin film transistor used for the device according to the above embodiment can reduce the number of masks to be used by one and can obtain the same transistor characteristics compared with the conventional active matrix liquid crystal display device.

[0056]

[Effect of the Invention]

According to an active matrix liquid crystal display device according to the present invention, a gate line, a signal line, a gate electrode, a drain electrode, an auxiliary capacitor line, an auxiliary capacitor electrode, and a source electrode are formed by etching in one layer over an insulating substrate. At the intersection of the gate line and the signal line, one that intersects is separated not to be in contact with the other and covered with a gate insulating layer. Thereafter, a through hole is formed in

each of a portion corresponding to the gate electrode and the source electrode and a portion corresponding to an edge of the separated line. During the formation of a pixel electrode, the source electrode is connected to the pixel electrode, the gate electrode and the source electrode are connected to a portion corresponding to an ohmic contact layer, and the separated lines are connected to each other by using a pixel electrode material. Accordingly, the number of etching times can be reduced and a manufacturing cost including a material cost and a personnel cost is reduced and tendency to cause a defect is decreased; therefore, the yield is improved.

[Brief Description of Drawings]

FIGS. 1 are cross-sectional views each showing one embodiment of an active matrix liquid crystal display device according to the present invention.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIG. 2 is a plan view at the intersection portion shown in the above FIG. 1 (c).

FIGS. 3 are cross-sectional views each showing one manufacturing process of a main portion of the active matrix liquid crystal display device.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 4 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 3.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 5 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 4.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 6 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 5.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 7 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 6.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 8 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 7.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 9 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 8.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 10 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 9.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 11 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 10.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 12 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 11.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 13 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 12.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 14 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 13.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 15 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 14.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 16 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 15.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 17 are cross-sectional views each showing the next manufacturing process of the main portion of the active matrix liquid crystal display device in FIG. 16.

- (a) pixel portion
- (b) external leading out electrode portion
- (c) intersection portion

FIGS. 18 are cross-sectional views each showing a conventional active matrix liquid crystal display device.

- (a) pixel portion
- (b) external leading out electrode portion

[Description of the References Symbols]

11. liquid crystal layer, 13. second substrate, 31. opposite electrode, 35. first substrate, 36. insulating substrate, 37. gate line, 38. signal line, 39. gate electrode, 40. drain electrode, 41. auxiliary capacitor electrode, 42. source electrode, 43. gate insulating layer, 47. semiconductor layer, 49. ohmic contact layer, 50. opening, 51. pixel electrode, 52, 53, 54. connection portion, 56. inorganic protective layer

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**